

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 11016586  
PUBLICATION DATE : 22-01-99

APPLICATION DATE : 20-06-97  
APPLICATION NUMBER : 09180392

APPLICANT : JAPAN STORAGE BATTERY CO LTD;

INVENTOR : TOTSUKA KAZUhide;

INT.CL. : H01M 8/02 H01M 4/88 H01M 8/10

TITLE : MANUFACTURE OF HIGH POLYMER ELECTROLYTE FILM-GAS DIFFUSION  
ELECTRODE BODY

ABSTRACT : PROBLEM TO BE SOLVED: To improve the supplying property of reaction gas, reactive activity and catalytic activity, and proton conductivity of a high polymer electrolyte by applying a catalyst dispersion to a reaction part forming means while regulating its viscosity, pressing the reaction part forming means to an electrolyte, thereafter removing the reaction part forming means, and connecting a gas diffusing means to the reaction part.

SOLUTION: A catalyst powder is added to a solution of high polymer electrolyte resin followed by stirring and mixing to prepare a catalyst dispersion. The temperature is raised while continuing the stirring to regulate the viscosity so as to be suitable to application. The catalyst dispersion is applied to a reaction part forming means less affinitive to the catalyst dispersion, for example, a sheet having excellent releasability. A reaction part is laminated on both sides or one side of a high polymer electrolyte film and pressed. The reaction part is transferred to the high polymer electrolyte film, and a polymer electrolyte-reaction part connected body is formed. The reaction part forming means is removed, the high polymer electrolyte film-reaction part connected body is laminated on a gas diffusion part, and connected by hot press to form a high polymer electrolyte film-gas diffusion electrode body.

COPYRIGHT: (C)1999,JPO

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-116586

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)5月9日

G 09 G 1/00  
1/02

T-6974-5C  
F-6974-5C

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 表示制御回路

⑯ 特 願 昭62-274034

⑰ 出 願 昭62(1987)10月29日

⑱ 発 明 者 松 藤 偉 織 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 伊 藤 貞 外1名

明 細 書

発明の名称 表示制御回路

特許請求の範囲

水平方向のアドレス数が $2^n$  ( $n$ は正の整数)  
番地である表示用メモリと、

この表示用メモリに対する表示データのアクセスを制御する制御回路と、

加算回路と、

ラッチとを有し、

上記制御回路からは画面表示サイクルを示すタイミング信号が出力され、

このタイミング信号が上記画面表示サイクルを示していないとき、上記制御回路から上記表示用メモリに表示データ及びその書き込みアドレス信号が供給されて上記表示用メモリのアドレスのうち上記書き込みアドレス信号の示すアドレスに上記表示データが書き込まれ、

上記タイミング信号が上記画面表示サイクルを示しているとき、上記制御回路から上記表示用メモリに読み出しアドレス信号が供給されるととも

に、

上記加算回路により上記読み出しアドレス信号に上記ラッチにラッチされているオフセットデータが加算されて上記表示用メモリのアドレスのうち、上記オフセットデータの加算された読み出しアドレス信号の示すアドレスから上記表示データが読み出され、

この読み出された表示データが表示用のビデオ信号として取り出される表示制御回路。

発明の詳細な説明

(産業上の利用分野)

この発明は表示制御回路に関する。

(発明の概要)

この発明は、例えばパーソナルコンピュータの表示制御回路において、表示用メモリの制御回路にオフセット回路を設けることにより、スムーズな水平スクロールができるようにしたものである。

(従来技術)

MSX<sub>2</sub>規格のパーソナルコンピュータにおいては、画面の表示制御用としてVDP（ビデオ・ディスプレイ・プロセッサ。IC名：V-9938）と呼ばれる専用のICが使用されている。

このVDPは、CPUからは一種のインターフェース回路とみなされるものであり、CPUから見るとVDPの外側に表示用メモリが接続される。そして、CPUがVDPに対して、表示データ及びその表示アドレス（表示用メモリのアドレス）を供給すると、表示用メモリの該当するアドレスにその表示データが書き込まれる。

また、画面表示サイクル期間には、VDPにより、表示用メモリのアドレスのうち、CRTディスプレイの垂直及び水平走査位置に対応したアドレスから表示データが読み出され、これがVDPを通じてCRTディスプレイに供給されて表示用メモリの内容が画像として表示される。

〔発明が解決しようとする問題点〕

ところが、このVDPでは、垂直方向のスクロ

ールはスムーズに実行できるが、水平方向のスクロールは実行できない。

このため、水平方向のスクロールを必要とする場合には、ソフトウェアにより行うことになるが、そうすると、

i. ソフトウェアの負担が大きく、全体の処理が遅くなる。

ii. スムーズな水平スクロールができない。

iii. 画面の書き換え動作が目に見える。

などの問題を生じてしまう。

そこで、通常は画面の切り換えにより水平スクロールを実現しているが、この場合には、きこえない水平スクロールとなってしまふ。

この発明は、以上のような問題点を一掃しようとするものである。

〔問題点を解決するための手段〕

このため、この発明においては、水平方向のアドレス数が $2^n$ （ $n$ は正の整数）番地である表示用メモリと、この表示用メモリに対する表示デ

ータのアクセスを制御する制御回路と、加算回路と、ラッチとを有し、上記制御回路からは画面表示サイクルを示すタイミング信号が出力され、このタイミング信号が上記画面表示サイクルを示していないとき、上記制御回路から上記表示用メモリに表示データ及びその書き込みアドレス信号が供給されて上記表示用メモリのアドレスのうち上記書き込みアドレス信号の示すアドレスに上記表示データが書き込まれ、上記タイミング信号が上記画面表示サイクルを示しているとき、上記制御回路から上記表示用メモリに読み出しアドレス信号が供給されるとともに、上記加算回路により上記読み出しアドレス信号に上記ラッチにラッチされているオフセットデータが加算されて上記表示用メモリのアドレスのうち、上記オフセットデータの加算された読み出しアドレス信号の示すアドレスから上記表示データが読み出され、この読み出された表示データが表示用のビデオ信号として取り出される表示制御回路とするものである。

〔作用〕

CPUが水平スクロールのデータを出力するだけで水平スクロールが行われる。

〔実施例〕

第1図は、MSX<sub>2</sub>規格のパーソナルコンピュータの場合を示し、(1)はCPU、この例においてはZ80A（または相当品）、(2)はBASICインタプリタ及びモニタプログラムの書き込まれているROM、(3)はユーザーエリア用及びワークエリア用のRAM、(4)はフルキーボードで、これらメモリ(2)、(3)及びキーボード(4)はシステムバス(5)を通じてCPU(1)に接続されている。

また、(6)は上述したVDP、(7)は表示用メモリで、このメモリ(7)は1バイト×64K番地の容量とされている。

第2図は、このメモリ(7)のアドレスと表示画面との対応関係を示すもので、この図においては、表示モードが256画素（水平）×212画素（垂直）の場合であり、同図中の数値は、メモリ(7)のアド

レスを16進値で示したものである。

すなわち、メモリ(7)は、その1番地が1つの画素に対応するとともに、メモリ(7)のアドレスの下位8ビット $A_7 \sim A_0$ が、画素の水平座標に対応し、メモリ(7)のアドレスの上位8ビット $A_{15} \sim A_8$ が画素の垂直座標に対応する。また、メモリ(7)は、1番地につき1バイトのデータ容量とされるとともに、第3図に示すように、その1バイトは、上位3ビット $b_7 \sim b_5$ 、中位3ビット $b_4 \sim b_2$ 、下位2ビット $b_1, b_0$ が、対応する画素の緑、赤、青のレベル(輝度)をそれぞれ示す表示データDSPDである。なお、メモリ(7)のD400~FFFF番地は使用されない。

そして、メモリ(7)はVDP(6)を通じてシステムバス(5)に接続されるとともに、VDP(6)にカラーCRTディスプレイ(9)が接続される。

さらに、(11)は16ビットのデータセクタ、(12)は8ビットの加算回路、(13)は8ビットのラッチを示し、セクタ(11)は、入力端子A、B、出力端子Y、セクタ端子Sを有し、 $S =$

"L"のとき $Y = A$ 、 $S = "H"$ のとき $Y = B$ となるものである。

そして、VDP(6)から16ビットのアドレス信号ADRSが取り出され、この信号ADRSがセクタ(11)の端子Aに供給されるとともに、信号ADRSの上位8ビット $AD_{15} \sim AD_8$ がセクタ(11)の端子Bに供給され、下位8ビット $AD_7 \sim AD_0$ が加算回路(12)に供給され、その加算出力がセクタ(11)の端子Bに供給され、セクタ(11)の出力がメモリ(7)のアドレス端子 $A_{15} \sim A_0$ に供給される。また、メモリ(7)に表示データを書き込むときに" L "となる画面表示サイクル信号VDSがVDP(6)から取り出され、この信号VDSがセクタ(11)の端子Sに供給される。

さらに、水平スクロール時には、そのオフセット量を示す8ビットのデータOFSTがCPU(1)から取り出されてラッチ(13)にラッチされ、そのラッチされたデータOFSTが加算回路(12)に供給される。

このような構成において、表示用メモリ(7)に表

示データを書き込む場合には、CPU(1)からVDP(6)に所定の制御コードが供給されてVDP(6)は表示データの書き込みモードとされるとともに、CPU(1)からVDP(6)に表示データDSPD及びその書き込みアドレスを示すアドレス信号ADRSが供給される。

すると、 $VDS = "L"$ となってセクタ(11)は $Y = A$ とされるとともに、VDP(6)から表示データDSPD及びアドレス信号ADRSが出力され、データDSPDがそのままメモリ(7)のデータ端子 $D_8 \sim D_0$ に供給されるとともに、アドレス信号ADRSが、セクタ(11)を通じてメモリ(7)のアドレス端子 $A_{15} \sim A_0$ に供給される。したがって、メモリ(7)には、CPU(1)の指定したアドレスに表示データDSPDが書き込まれる。

また、VDP(6)により、画面表示サイクル期間になると、メモリ(7)のアドレスのうち、ディスプレイ(9)の水平及び垂直走査位置に対応したアドレスから表示データDSPDが読み出され、このデータDSPDがVDP(6)により表示用のビデオ信号に変換

されてからディスプレイ(9)に供給され、ディスプレイ(9)にはメモリ(7)の内容がカラー画像として表示される。

しかし、この読み出し時には、 $VDS = "H"$ であり、セクタ(11)は $Y = B$ なので、VDP(6)からのアドレス信号ADRSの下位8ビット $AD_7 \sim AD_0$ には、加算回路(12)において8ビットのオフセットデータOFSTが加算され、このオフセットデータOFSTの加算されたアドレス信号ADRSがメモリ(7)に供給されることになり、メモリ(7)がアドレスされる時、その下位8ビット $A_7 \sim A_0$ には、VDP(6)の示す水平方向のアドレスに対してデータOFSTの示す値のオフセットが与えられることになる。

したがって、例えば、 $OFST = 2$ とすれば、いずれの水平走査期間においても、下位8ビット $A_7 \sim A_0$ が「2」であるアドレスから読み出しが開始され、以後、「3」、「4」、…、「FE」、「FF」、「0」、「1」のようにアドレスの下位8ビット $A_7 \sim A_0$ が変化することになるので、

表示画面の水平座標が「0」の点には、本来の水平座標が「2」である画素が表示され、その右側に、本来の水平座標が「3」、「4」、…、「255」、「0」、「1」である画素が順次表示されることになり、すなわち、表示されるすべての画素は、本来の水平座標に対してオフセットデータ OFST の示す値だけ原点方向（左方向）にずれた点に表示されることになる。

したがって、CPU(1)によりラッチ(13)にオフセットデータ OFST をラッチするとともに、このラッチ時、データ OFST の示す値を初期値「0」から所定の周期で例えば「1」ずつ大きくしていけば、その周期に対応した速度で表示画面は1画素ずつ原点方向にずれることになり、左方向への水平スクロールが行われる。あるいは、ラッチ(13)のオフセットデータ OFST を初期値「0」から例えば「1」ずつ小さくしていけば、表示画面は1画素ずつ右方向への水平スクロールが行われる。

なお、例えば、左方向への水平スクロール時に  $OFST = 2$  としたとき、表示画面の右側には、本来

の水平座標が「0」、「1」である画素が表示され、データ OFST が他の値のときも同様となるので、水平スクロール時、見かけ上、表示画面の左端と右端とが連続しているかのように水平スクロールされるが、このような水平スクロールを望まないときには、ラッチ(13)のオフセットデータ OFST を更新しながら表示画面の右端（左方向への水平スクロール時）あるいは左端（右方向への水平スクロール時）に新しく表示される画素のアドレスに新しい表示データを書き込めば、表示画面の両端が連続していない水平スクロールとなる。

こうして、この発明によれば、水平スクロールを実行できるが、この場合、特にこの発明によれば、加算回路(12)において、メモリ(7)から表示データ DSPD を読み出すときのアドレス信号 ADRS に、オフセットデータ OFST を加算することにより水平スクロールを行っているので、その水平スクロールの制御は、CPU(1)からラッチ(13)のオフセットデータ OFST を変更するだけでよく、したがって、ソフトウェアの負担が数バイトと極めて小さ

く、全体の処理速度への影響を無視できる。

また、水平スクロールされる画素数は、メモリ(7)の1番地あたりの対応する画素数及びオフセットデータ OFST の変化量で決まり、これは上述の表示モードの場合であれば、1画素単位にできるので、スムーズな水平スクロールができる。さらに、ラッチ(13)のオフセットデータ OFST を更新するだけで水平スクロールが行われ、このとき、表示画面の左端と右端とが見かけ上、連続しないように表示するとしても、水平スクロールにより表示画面の右端あるいは左端に新しく表示される画素の表示データだけを変更すればよいので、表示画面の書き換え動作が見えることがない。

なお、MSX<sub>2</sub>規格には、上述以外の表示モード、例えばメモリ(7)の1番地が水平方向に連続する2つの画素に対応し、1つの画素の色情報を4ビットで表現する表示モードなどがあるが、これらの表示モードにおいてもメモリ(7)の1番地に対応する画素数単位で水平スクロールを同様に行うことができる。

また、VDP(6)からのアドレス信号 ADRS は、その上位8ビット  $AD_{15} \sim AD_8$  をセレクト(11)を通じてことなくメモリ(7)に供給すれば、セレクト

(11)は8ビットのものとすることができる。あるいは、VDP(6)からのアドレス信号 ADRS の上位8ビット  $AD_{15} \sim AD_8$  をそのままメモリ(11)に供給し、下位8ビット  $AD_7 \sim AD_0$  を加算回路(12)を通じてメモリ(7)に供給するとともに、「0」のデータと、ラッチ(13)からのオフセットデータ OFST とを、書き込み時と読み出し時とで選択的に加算回路(12)に供給してもよい。

さらに、表示用のメモリ(7)は、水平方向のアドレス数（メモリサイズ）が  $2^n$ （ $n$ は正の整数）番地であればよく、また、VDP(6)に限らず画面表示サイクルを示すタイミング信号があれば、他の表示制御回路でもよい。

#### （発明の効果）

この発明によれば、加算回路(12)において、メモリ(7)から表示データ DSPD を読み出すときのア

ドレス信号ADRSに、オフセットデータOFSTを加算することにより水平スクロールを行っているので、その水平スクロールの制御は、CPU(1)からラッチ(13)のオフセットデータOFSTを変更するだけでよく、したがって、ソフトウェアの負担が数バイトと極めて小さく、全体の処理速度への影響を無視できる。

また、水平スクロールされる画素数は、メモリ (7) の 1 番地あたりの対応する画素数及びオフセットデータ OPST の変化量で決まり、これは上述の表示モードの場合であれば、1 画素単位にできるので、スムーズな水平スクロールができる。さらに、ラッチ (13) のオフセットデータ OPST を更新するだけで水平スクロールが行われ、このとき、表示画面の左端と右端とが見かけ上、連続しないように表示するとしても、水平スクロールにより表示画面の右端あるいは左端に新しく表示される画素の表示データだけを変更すればよいので、表示画面の書き換え動作が見えることがない。

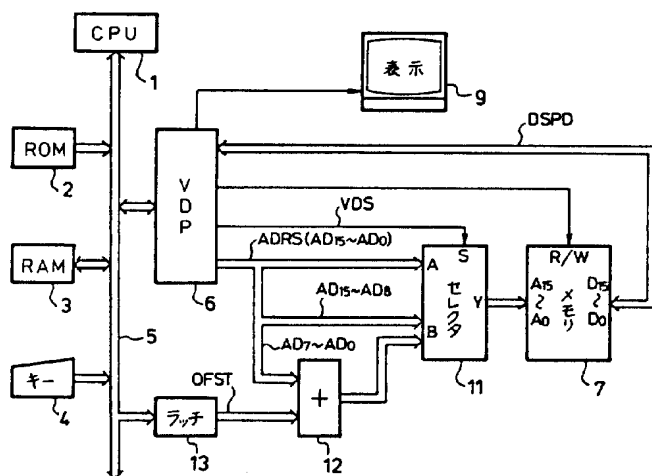
### 図面の簡単な説明

第1図はこの発明の一例の系統図、第2図はその説明のための図である。

(1)はCPU、(6)はVDP、(7)は表示用メモリ、  
(11)はセレクト、(12)は加算回路、(13)は  
ラッチである。

代理人 伊藤 貞

同 松 隈 秀 盛



全体回路図  
第 1 図

→ 水平座標				254	255
0	1	2	- - - - -		
0	0	1	2	FE	FF
1	100	101	102	1FE	FF
2	200	201	202	...	2FF
3	300	301	...	...	3FF
.	.	.	.	.	.
.	.	.	.	.	.
.	.	.	.	.	.
.	.	.	.	.	.
.	.	.	.	.	.
.	.	.	.	.	.
.	.	.	.	.	.
211	D300	D301	D302	D3FE	D3FF

7 XE11

メモリアドレスと表示画面との対応  
第 2 図